

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-121023

(43)Date of publication of application : 06.05.1997

(51)Int.Cl.

H01L 27/04

H01L 21/822

G11C 11/22

H01G 4/33

(21)Application number : 07-277925

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 25.10.1995

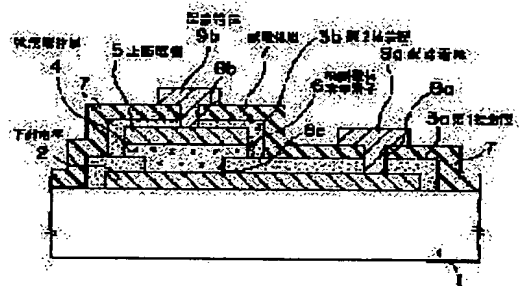
(72)Inventor : TAKAHASHI TAKEHIRO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device which can prevent peeling off before and after the wiring step of lower and upper electrodes with the aid of an adhesive layer by providing an adhesive layer on the upper and lower electrodes of a ferroelectric capacitance element respectively.

**SOLUTION:** A lower electrode 2 made of Pt is formed on a substrate 1. A first adhesive layer 3a is formed on the surface of the electrode 2 excluding a part thereof. A ferroelectric layer 4 made of PZT and an upper electrode 5 made of Pt are piled up on the electrode 2 in sequence, thereby consisting a ferroelectric capacitance element 6 with the electrode 2. The element 6 is covered with a second adhesive layer 3b. A dielectric layer 7 is formed on the substrate including the element 6. Contact holes 8a and 8b are selectively provided on the layer 3a and layer 7 on the electrode 2 and the layer 3b and layer 7 on the electrode 5 respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-121023

(43) 公開日 平成9年(1997)5月6日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	C
21/822			G 1 1 C 11/22	
G 1 1 C 11/22			H 0 1 G 4/06	1 0 2
H 0 1 G 4/33				

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願平7-277925

(22) 出願日 平成7年(1995)10月25日

(71) 出願人 000000376

オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 高橋 武博

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

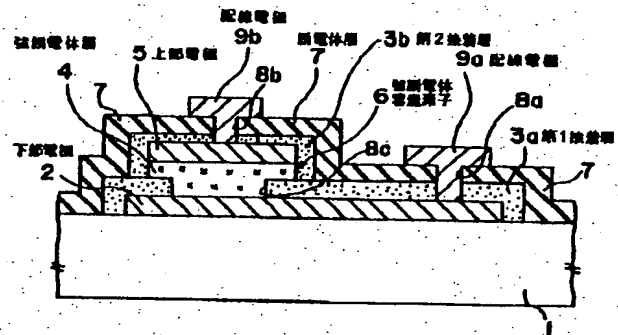
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 下部電極、上部電極の配線工程の前後で剥離が発生する。

【解決手段】 基板(1)上に形成された下部電極(2)と、該下部電極(2)を被覆する誘電体で形成された第1接着層(3a)と、該第1接着層(3a)に設けたコンタクトホール(8c)を被覆するように設けた強誘電体層(4)と、該強誘電体層(4)上に積層された上部電極(5)からなる強誘電体容量素子(6)と、該強誘電体容量素子(6)を覆うように誘電体で形成された第2接着層(3b)と、該第2接着層(3b)を含む前記強誘電体容量素子(6)及び前記第1接着層(3a)とを被覆するように形成された誘電体層(7)と、該誘電体層(7)、前記第1接着層(3a)及び第2接着層(3b)にコンタクトホール(8a, 8b)をあけて前記下部電極(2)及び上部電極(5)と接する配線電極(9a, 9b)とを備えたことを特徴とする半導体装置。



## 【特許請求の範囲】

【請求項1】 下部電極及び上部電極を備えた強誘電体容量素子を内蔵した半導体装置において、前記下部電極及び上部電極上に夫々接着層を設けたことを特徴とする半導体装置。

【請求項2】 基板上に形成された下部電極と、該下部電極を被覆する誘電体で形成された第1接着層と、該第1接着層に設けたコンタクトホールを被覆するように設けた強誘電体層と、該強誘電体層上に積層された上部電極からなる強誘電体容量素子と、該強誘電体容量素子を覆うように誘電体で形成された第2接着層と、該第2接着層を含む前記強誘電体容量素子及び前記第1接着層とを被覆するように形成された誘電体層と、該誘電体層、前記第1接着層及び第2接着層にコンタクトホールをあけて前記下部電極及び上部電極と接する配線電極とを備えたことを特徴とする請求項1記載の半導体装置。

【請求項3】 基板上に形成された下部電極、該下部電極上に積層された強誘電体層及び該強誘電体層上に形成された側面に傾斜を有した上部電極からなる強誘電体容量素子と、この強誘電体容量素子と該強誘電体容量素子を被覆する誘電体層との間に設けられた、前記上部電極と非接触で下部電極を被覆するように設けた第1接着層と、前記上部電極と前記誘電体層との間に設けられた第2接着層と、前記第1接着層上及び前記第2接着層上の前記誘電体層に夫々設けられたコンタクトホールと、このコンタクトホール内に設けられ、前記第1接着層及び第2接着層に夫々接続する配線電極とを具備することを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に強誘電体薄膜を用いた容量素子を内蔵する半導体装置に関する。

## 【0002】

【従来の技術】 従来、配線を伴う強誘電体容量素子を内蔵した半導体装置としては、例えば図6、図7に示すものが知られている（特開平6-140568）。図6中の符番61は支持基板である。この支持基板61上には、第1チタン薄膜62aを介して白金からなる下部電極63、高誘電体薄膜64及び白金からなる上部電極65からなる高誘電体容量素子（以下、容量素子と呼ぶ）が形成されている。前記上部電極65には、Tiを主成分とする接着層としての第2チタン薄膜62bが形成されている。こうした容量素子を含む前記支持基板61上には、絶縁膜66が形成されている。前記下部電極63、上部電極65に対応する前記絶縁膜66にはコンタクトホール67a、67bが形成され、これらコンタクトホール67a、67bには下部電極63に接続するアルミ配線68a、上部電極65に接続するアルミ配線68bが夫々形成されている。

【0003】 また、図7において、符番71は容量素子を

被覆する酸化チタン薄膜である。この酸化チタン薄膜71は、熱酸化あるいはCVDにより直接Ti酸化膜を成膜することにより形成される。この酸化チタン薄膜71も接着層の役目をする。なお、図6と同部材は同符号を付して説明を省略した。

## 【0004】

【発明が解決しようとする課題】 しかしながら、前記従来技術において、公報の実施例1では、容量素子の上部電極65上のみに接着層としての第2チタン薄膜62bを設けることが記載されているが、下部電極63上に接着層を設ける必要性については全く記載されていない。一方、公報の実施例2では、容量素子を酸化チタン薄膜71で被覆し、これを接着層とする記載があるが、この形成方法ではTi成膜後の熱酸化処理でTiが不完全なTi酸化膜となり、リーク電流の増加や容量素子の短絡が誘発される恐れがある。また、CVDで直接下部電極63上にTi酸化膜を成膜した場合は、接着層としての効果がない。更に、接着層の材料としてもTiを主成分とする材料に限定しているのみである。

【0005】 本発明はこうした事情を考慮してなされたもので、強誘電体容量素子の下部電極、上部電極の夫々の上に接着層を設けることにより、下部電極、上部電極の配線工程の前後で発生する剥離を接着層により防止しえる半導体装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 (1) 本発明は、下部電極及び上部電極を備えた強誘電体容量素子を内蔵した半導体装置において、前記下部電極及び上部電極上に夫々接着層を設けたことを特徴とする半導体装置である。

【0007】 (対応する発明の実施の形態) 本発明に関する実施の形態としては、図1～図5の実施の形態が対応する。

(作用) Ptからなる上部、下部電極と誘電体界面に設けた接着層がウェット処理や、衝撃、外傷を受けた場合でも、誘電体層を上部、下部電極上に維持する。

【0008】 (効果) Ptの様な表面に酸化膜が形成されにくい材料を電極として用い、上部に誘電体層を形成する場合に、誘電体層形成後の配線工程のウェット処理で該上部、下部電極と該誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを第1接着層及び第2接着層が防止し、該上部、下部電極と誘電体層界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に強化されたことにより、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0009】 (2) 基板上に形成された下部電極と、該下部電極を被覆する誘電体で形成された第1接着層と、該第1接着層に設けたコンタクトホールを被覆するように設けた強誘電体層と、該強誘電体層上に積層された上部電極からなる強誘電体容量素子と、該強誘電体容量素子

を覆うように誘電体で形成された第2接着層と、該第2接着層を含む前記強誘電体容量素子及び前記第1接着層とを被覆するように形成された誘電体層と、該誘電体層、前記第1接着層及び第2接着層にコンタクトホールをあけて前記下部電極及び上部電極と接する配線電極とを備えたことを特徴とする上記(1)記載の半導体装置。

【0010】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図1の実施の形態が対応する。

(作用) Ptからなる上部、下部電極と誘電体界面に設けた接着層がウェット処理や、衝撃、外傷を受けた場合でも、誘電体層を上部、下部電極上に維持する。また、下部電極上の接着層は強誘電体層形成時のエッチングでオーバーエッチングが可能である。

【0011】(効果) Ptの様な表面に酸化膜が形成されにくい材料を電極として用い、上部に誘電体層を形成する場合に、誘電体層形成後の配線工程のウェット処理で上部、下部電極と該誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを第1接着層及び第2接着層が防止し、該Pt電極と誘電体界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に強化されたことにより、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0012】更に、下部電極上の第1接着層の表面もしくは全てを酸化処理により誘電体を形成することで、第2接着層が導電体かもしくは不十分な酸化により表面のみが誘電体を形成していても、強誘電体容量素子のリークや短絡が発生しない。そして、強誘電体層のエッチングの際には、第1接着層が犠牲層となり、オーバーエッチングが可能で、非選択エッチングを行った場合でも下部電極の成膜時の膜維持が可能となる。

【0013】(3) 基板上に形成された下部電極、該下部電極上に積層された強誘電体層及び該強誘電体層上に形成された側面に傾斜を有した上部電極からなる強誘電体容量素子と、この強誘電体容量素子と該強誘電体容量素子を被覆する誘電体層との間に設けられた、前記上部電極と非接触で下部電極を被覆するように設けた第1接着層と、前記上部電極と前記誘電体層との間に設けられた第2接着層と、前記第1接着層上及び前記第2接着層上の前記誘電体層に夫々設けられたコンタクトホールと、このコンタクトホール内に設けられ、前記第1接着層及び第2接着層に夫々接続する配線電極とを具備することを特徴とする前記(1)記載の半導体装置。

【0014】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図4の実施の形態が対応する。

(作用) Ptからなる上部、下部電極と誘電体界面に設けた接着層がウェット処理や、衝撃、外傷を受けた場合でも、誘電体膜を上部、下部電極上に維持する。ま

た、下部電極上の接着層は強誘電体層形成時のエッチングでオーバーエッチングが可能である。さらに、接着層が導電性の材料を使用しているので配線電極と導通する。

【0015】(効果) Ptの様な表面に酸化膜が形成されにくい材料を電極として用い、上部に誘電体層を形成する場合に、誘電体層形成後の配線工程のウェット処理で該Pt電極と該誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを第1接着層及び第2接着層が防止し、上部、下部電極と誘電体層界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に強化されたことにより、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。そして、強誘電体層のエッチングの際には第1接着層が犠牲層となり、オーバーエッチングが可能で、非選択エッチングを行った場合でも下部電極の成膜時の膜維持が可能となる。

【0016】更に、下部電極上の第1接着層、上部電極上の第2接着層は導電体を用いることが可能で、配線電極としてAlを用いた場合、配線後のシンター処理等のアニールで発生する上部、下部電極とAlの反応を、第1接着層、第2接着層が防止することができ、強誘電体容量素子の特性維持が可能になる。また、上部電極の側面が傾斜を持つため、上部電極の側面にも導電体の接着層を形成することが可能である。

【0017】

【発明の実施の形態】本発明の実施の形態について図面を参照して説明する。

1. 第1の実施の形態(図1を参照)。

図中の符番1は、表面に誘電体層(図示せず)が形成されたSi基板である。この基板1上には、Ptからなる下部電極2が形成されている。この下部電極2の表面には、一部を除いて第1接着層3aが形成されている。前記下部電極2上にはPZTからなる強誘電体層4、Ptからなる上部電極5が順次積層され、これらと下部電極2とにより強誘電体容量素子6を構成している。この強誘電体容量素子6には、第2接着層3bが被覆されている。

【0018】前記強誘電体容量素子6を含む基板上には、誘電体層7が形成されている。前記下部電極2上の第1接着層3a及び誘電体層7、前記上部電極5上の第2接着層3b及び誘電体層7には、夫々コンタクトホール8a、8bが選択的に設けられている。これらのコンタクトホール8a、8bには、下部電極2に導通する配線電極9a、上部電極5に導通する配線電極9bが形成されている。なお、図中の符番8cは、下部電極2上の第1接着層3aに設けられたコンタクトホールである。

【0019】次に、図1の構成の半導体装置の製造方法について説明する。

(1) まず、表面に誘電体層が形成された基板1上にPt

を成膜し、フォトエッチングにより所望の形状の下部電極2を形成する。つづいて、この下部電極2を被覆する酸化処理により誘電体を形成する導電体膜を成膜し、フォトエッチングにより第1接着層3aを形成し、下部電極2上の一部にフォトエッチングによりコンタクトホール8cを形成する。

【0020】(2) 次に、酸化処理を行い、第1接着層3aの表面もしくは全てを酸化する。つづいて、コンタクトホール8cを含む領域にPZT、Ptを順次成膜し、フォトエッチングにより所望の形状にエッチングし、強誘電体層4及び上部電極5が積層された強誘電体容量素子6を形成する。更に、強誘電体容量素子6全体を被覆するように酸化処理により誘電体を形成する導電体膜を成膜した後、酸化処理とフォトエッチングにより第2接着層3bを形成する。

(3) 次に、全面に誘電体層7を形成する。つづいて、フォトエッチングにより、下部電極2上の第1接着層3a及び誘電体層7、上部電極5上の第2接着層3b及び誘電体層7に、夫々コンタクトホール8a、8bを形成する。次いで、これらコンタクトホール8a、8b内を含む基板全面に導電体膜を成膜し、フォトエッチングによりこの導電体膜を所定の形状にして、下部電極2と導通する配線電極9a、上部電極5と導通する配線電極9bを形成する。

【0021】第1の実施の形態において、基板1としては一般的には上述したようにSiを用いるが、これに限らず、表面に誘電体が形成できる全ての材料が適応する。また、下部電極2、上部電極5としてはPtを用いたが、これに限らず、強誘電体層の分極特性を維持できる材料であれば、Ptと他の材料を組み合わせ用いてもよい。更に、基板1と下部電極2の界面に、この接着強化を目的とする接着層を設けても良い。これらの成膜は、スパッタ法、蒸着法、イオンプレーティング法等の公知の成膜方法で良い。

【0022】第1の実施の形態において、強誘電体層の材料としてはPZTを用いているが、YI、PLZT、BST等の他の強誘電体材料でも良い。成膜方法もソルゲル法、スパッタ法、CVD法等と問わない。また、第1接着層3a、第2接着層3bはTi、W、Ta等の誘電体膜との接着に優れる高融点金属、あるいはNiが考えられるが、酸化処理により誘電体に変化する材料であればそれ以外でも良い。そして、この酸化処理は熱酸化及び陽極酸化等で下部電極及び上部電極と導通しない様十分に行う必要がある。

【0023】第1の実施の形態において、誘電体層7としては、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、PSG (phospho-silicate glass)、SOG (spin-on glass)、BPSG (boro-phospho silicate glass)、ポリイミド等の誘電体材料を単層もしくは複数の組み合わせで形成する。また、前記コンタクトホール8a、8bは、イオンミ

ング、RIE等のドライエッチングや、HF系のエッチャントを用いたウェットエッチングのどちらかの方法で形成しても良い。更に、配線電極9a、9bはAl、Pt、Ti、Cu、Au、Ni等の導電体を単層もしくは複数の組み合わせで形成する。

【0024】前記強誘電体容量素子6及び配線電極9a、9bを形成する際のエッチングはイオンミリング、RIE等のドライエッチングや、王水等を用いたウェットエッチングのどちらの方法で形成しても良い。また、強誘電体層4は下部電極2上の一部に配線電極9aと導通できるコンタクトホールを形成すれば、それ以外の下部電極上を被覆して形成してもよい。

【0025】第1の実施の形態では、「Pt電極を被覆し、保護及び絶縁を主目的として誘電体層との界面に、接着層を有する強誘電体容量素子」とすることによって、ウェット処理でPtと誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒を侵入するのを接着層が防止し、Pt電極と誘電体界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に接着が強化されたことにより、この界面での剥離が防止される。そして、これらの効果により適切な配線が可能となり、強誘電体容量素子とその周辺回路を正常に動作できる。そして、下部電極2の第1接着層3aは強誘電体層4のエッチングの際に、犠牲層となり、オーバーエッチングが可能で、非選択エッチングを行った場合でも下部電極2の成膜時の膜厚維持が用意である。更に、強誘電体容量素子5の下部電極2上の第1接着層3aと上部電極5上の第2接着層3bが独立しているため、接着層によるリークや短絡がない。

【0026】2. 第2の実施の形態(図2を参照)。但し、図1と同部材は同符号を付して説明を省略し、要点のみを説明する。図2の半導体装置は、図1のそれと比べ、下部電極2上の第1接着層3a及び上部電極5上の第2接着層3bが導電体であること、配線電極9a、9bが上部電極5及び下部電極2と接触しておらず、第1接着層3a及び第2接着層3bと接触していること、前記第2接着層3bが上部電極5の上面のみに形成されていること、及び配線電極9a、9bにPtと反応する材料を用いても反応防止層として機能するため、配線材料を選ばないことが異なる。

【0027】次に、図2の半導体装置の製造方法について簡単に説明する。

(1) まず、表面に誘電体層が形成された基板1上にPtを成膜し、フォトエッチングにより所望の形状の下部電極2を形成する。つづいて、この下部電極2を被覆する導電体膜を成膜し、フォトエッチングにより第1接着層3aを形成し、下部電極2上の一部にフォトエッチングによりコンタクトホール8cを形成する。

【0028】(2) 次に、コンタクトホール8cを含む領域にPZT、Ptを順次成膜し、フォトエッチングによ

り所望の形状にエッチングし、強誘電体層4及び上部電極5が積層された強誘電体容量素子6を形成する、更に、強誘電体容量素子6全体を被覆する導電体膜を成膜した後、フォトリソエッチングにより上部電極5の上面を覆う第2接着層3bを形成する。

【0029】(3) 次に、全面に誘電体層7を形成する。つづいて、フォトリソエッチングにより、下部電極2、第1接着層3a上の誘電体層7、上部電極5、第2接着層3b上の誘電体層7に、夫々コンタクトホール11a、11bを形成する。次いで、これらコンタクトホール11a、11b内を含む基板全面に導電体膜を成膜し、フォトリソエッチングによりこの導電体膜を所定の形状にして、下部電極2と導通する配線電極9a、上部電極5と導通する配線電極9bを形成する。なお、ここに示した以外の接着層、強誘電体容量素子、誘電体層及び配線電極等の形成方法及び材料は上記1. に示した内容に準ずる。

【0030】3. 第3の実施の形態(図3を参照)。但し、図1、図2と同部材は同符号を付して説明を省略し、要点のみを説明する。図3の半導体装置は、図2のそれと比べ、強誘電体層4が第1接着層3a上に形成されずに下部電極2上にのみ形成されている点異なる。また、図3においては、第1接着層及び第2接着層は強誘電体容量素子の形成後に成膜して形成されるため、両接着層を同一の工程で形成することができる。

【0031】次に、図3の半導体装置の製造方法について簡単に説明する。

(1) まず、表面に誘電体層が形成された基板1上にPt、PZT、Ptiを順次成膜し、フォトリソエッチングにより所望の形状にエッチングし、下部電極2、強誘電体層4、上部電極5が積層された強誘電体容量素子6を形成する。つづいて、この強誘電体容量素子6を被覆する導電体膜を成膜し、フォトリソエッチングにより露出する下部電極2上に第1接着層3aを、上部電極5上に第2接着層3bを形成する。この際、第1接着層3aと第2接着層3bは非接触に形成する必要がある。

【0032】(2) 次に、全面に誘電体層7を形成する。つづいて、フォトリソエッチングにより、下部電極2、第1接着層3a上の誘電体層7、上部電極5、第2接着層3b上の誘電体層7に、夫々コンタクトホール11a、11bを形成する。なお、この時、第1接着層3a、第2接着層3bは導電体膜を用いているが、これら接着層3a、3bの形成後の誘電体層7の成膜時の酸化処理により、表面もしくは全てが誘電性を示す酸化物に変化した場合、コンタクトホール11a、11b内の一部もしくは全ての酸化物をコンタクトホール形成時に取り除く。

【0033】(3) 次に、これらコンタクトホール11a、11b内を含む基板全面に導電体膜を成膜し、フォトリソエッチングによりこの導電体膜を所定の形状にして、下部電極2と第1接着層3aを介して導通する配線電極9a、上部電極5と第2接着層3bを介して導通する配線電極

9bを形成する。なお、ここに示した以外の接着層、強誘電体容量素子、誘電体層、配線電極等の形成方法及び材料は、上記1. に示した内容に準ずる。

【0034】図3では、第1接着層3aを強誘電体層4の側面と接触させているが、この構造は強誘電体層4への第1接着層3a材料の拡散反応等が発生し易く、強誘電体容量素子6の特性劣化が起こる場合があるため、この接触界面を非接触に形成することが強誘電体容量素子6の特性維持には効果的である。

【0035】この第3の実施の形態では、強誘電体容量素子6の形成後に第1接着層3a、第2接着層3bを成膜することで、下部電極2と上部電極5上に導電性の接着層3a、3bを同一の工程で形成することができる。

【0036】4. 第4の実施の形態(図4を参照)。但し、図1、図2と同部材は同符号を付して説明を省略し、要点のみを説明する。図4の半導体装置は、図3のそれと比べ、上部電極5の側面が傾斜を持つこと、及び上部電極5の側面にも強誘電体層と非接触な導電性の第2接着層3bが形成されている点異なる。

【0037】次に、図4の半導体装置の製造方法について簡単に説明する。

(1) まず、表面に誘電体層が形成された基板1上にPt、PZT、Ptiを順次成膜し、フォトリソエッチングにより所望の形状にエッチングし、下部電極2、強誘電体層4、上部電極5が積層された強誘電体容量素子6を形成する。この時、上部電極5の側面は傾斜を持たせて形成する。つづいて、この強誘電体容量素子6を被覆する導電体膜を成膜し、フォトリソエッチングにより露出する下部電極2上に第1接着層3aを、上部電極5上に第2接着層3bを形成する。この際、第1接着層3aと第2接着層3bは非接触に形成する必要がある。

【0038】(2) 次に、全面に誘電体層7を形成する。つづいて、フォトリソエッチングにより、下部電極2、第1接着層3a上の誘電体層7、上部電極5、第2接着層3b上の誘電体層7に、夫々コンタクトホール11a、11bを形成する。なお、この時、第1接着層3a、第2接着層3bは導電体膜を用いているが、これら接着層3a、3bの形成後の誘電体層7の成膜時の酸化処理により、表面もしくは全てが誘電性を示す酸化物に変化した場合、コンタクトホール11a、11b内の一部もしくは全ての酸化物をコンタクトホール形成時に取り除く。

【0039】(3) 次に、これらコンタクトホール11a、11b内を含む基板全面に導電体膜を成膜し、フォトリソエッチングによりこの導電体膜を所定の形状にして、下部電極2と第1接着層3aを介して導通する配線電極9a、上部電極5と第2接着層3bを介して導通する配線電極9bを形成する。なお、ここに示した以外の接着層、強誘電体容量素子、誘電体層、配線電極等の形成方法及び材料は、上記1. に示した内容に準ずる。

【0040】上記第4の実施の形態では、上部電極5の

側面が傾斜を持つため、上部電極5の側面に強誘電体層4と非接触な導電性の第2接着層3bの形成が可能で、側面からの剥離を防止し、かつ強誘電体容量素子の特性維持が可能である。

【0041】4. 第5の実施の形態(図5を参照)。但し、図1、図2と同部材は同符号を付して説明を省略し、要点のみを説明する。図5の半導体装置は、図2のそれと比べ、第1接着層及び第2接着層がPtとの合金からなること、及び第2接着層が上部電極の上面のみならず側面にも形成されている点が異なる。

【0042】次に、図5の半導体装置の製造方法について簡単に説明する。

(1) まず、表面に誘電体層が形成された基板1上にPt、PZT、Ptを順次成膜し、フォトリソエッチングにより所望の形状にエッチングし、下部電極2、強誘電体層4、上部電極5が積層された強誘電体容量素子6を形成する。つづいて、この強誘電体容量素子6を被覆する導電体膜を成膜し、Ptと該導電体膜とが合金を形成する条件で熱処理を行う。次に、フォトリソエッチングにより形成された合金部が残る様にエッチングし、露出する下部電極2上に合金からなる第1接着層12aを、上部電極5の露出面に上に合金からなる第2接着層12bを形成する。

【0043】(2) 次に、全面に誘電体層7を形成する。つづいて、フォトリソエッチングにより、下部電極2、第1接着層12a上の誘電体層7、上部電極5、第2接着層12b上の誘電体層7に、夫々コンタクトホール11a、11bを形成する。なお、この時、第1接着層12a、第2接着層12bは導電体膜の合金を形成しているが、第1接着層12a及び第2接着層12bの形成時に表面に誘電体層が形成された場合と、誘電体層7の成膜時の酸化処理により、表面もしくは全てが誘電性を示す酸化物に変化した場合、コンタクトホール11a、11b内の一部もしくは全てをコンタクトホール形成時に取り除く。

【0044】(3) 次に、これらコンタクトホール11a、11b内を含む基板全面に導電体膜を成膜し、フォトリソエッチングによりこの導電体膜を所定の形状にして、下部電極2と第1接着層12aを介して導通する配線電極9a、上部電極5と第2接着層12bを介して導通する配線電極9bを形成する。なお、ここに示した以外の接着層、強誘電体容量素子、誘電体層、配線電極等の形成方法及び材料は、上記3. に示した内容に準ずる。

【0045】図5において、第1接着層12a、第2接着層12bを例えば導電体膜の熱酸化によりPtと合金を形成した場合、合金はPt上のみ形成され、この時同時に形成された導電体膜部及び誘電体層は、マスクを使用しないRIEによる全面エッチングで選択的にPt合金のみを残すことができる。これにより、プロセスの簡略化がはかれる。

【0046】

【実施例】以下、本発明の一実施例を図を参照して説明する。

(実施例1) 図8～図12を参照する。

【0047】(1) まず、Si基板21の表面に熱酸化により厚さ500nmのSiO<sub>2</sub>膜22を成膜した。つづいて、SiO<sub>2</sub>膜22を成膜したSi基板21上にPtをスパッタ法により200nm成膜し、フォトリソを所望の形状にパターンニングした後、イオンミリングによりエッチングし、下部電極23を形成した。次いで、導電体膜としてのTi膜24を100nmをスパッタ法により成膜した(図8参照)。

【0048】(2) 次に、前記Ti膜24上にフォトリソを形成後、これをパターンニングして下部電極23上に対応するTi膜24を選択的にエッチングし、コンタクトホール25aを形成した。つづいて、600℃の熱酸化によりPtとTiの接合界面で合金を有したTi酸化膜を成膜し、第1接着層26aを形成した(図9参照)。

【0049】(3) 次に、ゾルゲル法でPZTを300nm成膜した後、再びこのPZT上にPtをスパッタ法により200nm成膜した。つづいて、フォトリソを下部電極23上に所望の電極形状にパターンニングした後、最上部のPt及びその下層のPZTと第2接着層26bを50nmイオンミリングによりエッチングし、上部電極27及び強誘電体層28を形成した。これにより、下部電極23、強誘電体層28及び上部電極27を有する強誘電体容量素子29が形成された。更に、この強誘電体容量素子29を被覆するTi膜をスパッタ法により50nm成膜し、600℃の熱酸化処理によりPtとTiの接合界面で合金を有したTi酸化膜を成膜し、第2接着層26bを形成した。この後、全面にSiO<sub>2</sub>をCVD法により500nm成膜し、誘電体層30を形成した(図10参照)。

【0050】(4) 次に、フォトリソを下部電極23及び上部電極27上の誘電体層30にコンタクトホールを形成するためのパターンニングを行い、RIEにより下部電極23上の誘電体層30、第1接着層26a、第2接着層26b、上部電極27上の誘電体層30と第2接着層26bをエッチングし、コンタクトホール25b、25cを夫々形成した。つづいて、コンタクトホール25b、25c内の側面を600℃の熱酸化処理により再び酸化した層31を形成した(図11参照)。

【0051】(5) 次に、Ti:50nm、Pt:500nmを順次スパッタ法により積層成膜した後、フォトリソを所望の配線形状にパターンニングし、イオンミリングによりエッチングし、Ti層32a、Pt層33aが積層された配線電極34と、Ti層32b、Pt層33bが積層された配線電極35を形成した(図12参照)。この時、前記Ti層32aは誘電体層30とPt層33aの接着層となり、Ti層32bは誘電体層30とPt層33bの接着層となる。

【0052】上記実施例1によれば、接着層として機能

するTi層32a, 32bの存在により、誘電体層30を形成する場合に、誘電体層形成後の配線工程のウェット処理で下部電極23、上部電極27と誘電体層30界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを防止し、下部電極23、上部電極27と誘電体層30界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に接着が強化され、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0053】(実施例2) 図13～図18を参照する。なお、実施例1と同部材は同符号を付す。(1) まず、Si基板21の表面に熱酸化により厚さ500nmのSiO<sub>2</sub>膜22を成膜した。つづいて、SiO<sub>2</sub>膜22を成膜したSi基板21上にPtをスパッタ法により200nm成膜し、Pt層36を形成した。更に、このPt層36上にゾルゲル法で厚さ300nmのPZT層37を成膜し、更にその上に厚さ200nmのPt層38をスパッタ法により成膜した(図13参照)。

【0054】(2) 次に、フォトリソストを所望の電極形状にパターニングした後、最上部のPt層38及びその下層のPZT層37を50nmイオンミリングによりエッチングし、上部電極27を形成した。つづいて、PZT層37表面にコンタクトホールを形成するためのフォトリソストパターニングを行い、下層までのPt層36までの残り250nmをイオンミリングによりエッチングし、コンタクトホール39を形成した。更に、上部電極27及びコンタクトホール39を覆う形状にフォトリソストパターニングを行い、SiO<sub>2</sub>膜22表面までイオンミリングによりエッチングし、下部電極23及び強誘電体層28を形成した。これにより、下部電極23、強誘電体層28、上部電極27及びコンタクトホール39を有する強誘電体容量素子29が形成された。この後、強誘電体容量素子29を被覆するTi膜40をスパッタ法により50nm成膜した(図14参照)。

【0055】(3) 次に、フォトリソストを上部電極27上とコンタクトホール39上と下部電極23側面を覆うようにパターニングし、RIEによる選択エッチングを行い、コンタクトホール39上と下部電極23側面を覆うように第1接着層41aを形成するとともに、上部電極27上に第2接着層41bを形成した(図15参照)。つづいて、全面にSiO<sub>2</sub>をCVD法により500nm成膜し、誘電体層30を形成した(図16参照)。

【0056】(4) 次に、フォトリソストをコンタクトホール39内の第1接着層41a上の誘電体層30と第2接着層41b上の誘電体層30にコンタクトホールを形成するためのパターニングを行い、RIEにより誘電体層30をエッチングし、コンタクトホール42a, 42bを形成した(図17参照)。つづいて、Al:500nmをスパッタ法により積層成膜した後、フォトリソストを所望の配線形状にパターニングし、りん酸を主成分とするウェットエッチングによりエッチングし、配線電極33、配線電極34

を形成した(図18参照)。

【0057】上記実施例2によれば、第1接着層41a, 第2接着層41bの存在により、実施例1と同様に、下部電極23、上部電極27と誘電体層30界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に接着が強化され、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0058】(実施例3) 図19～図24を参照する。なお、実施例1, 2と同部材は同符号を付す。(1) まず、Si基板21の表面に熱酸化により厚さ500nmのSiO<sub>2</sub>膜22を成膜した。つづいて、SiO<sub>2</sub>膜22を成膜したSi基板21上にPtをスパッタ法により200nm成膜し、Pt層36を形成した。更に、このPt層36上にゾルゲル法により厚さ300nmのPZT層37を成膜し、更に厚さ200nmのPt層38をスパッタ法により成膜した(図19参照)。

【0059】(2) 次に、フォトリソストを所望の電極形状にパターニングした後、最上部のPt層38及びその下層のPZT層37を50nmイオンミリングによりエッチングし、上部電極27を形成した。つづいて、PZT層37表面にコンタクトホールを形成するためのフォトリソストパターニングを行い、下層までのPt層36までの残り250nmをイオンミリングによりエッチングし、コンタクトホール39を形成した。更に、上部電極27及びコンタクトホール39を覆う形状にフォトリソストパターニングを行い、SiO<sub>2</sub>膜22表面までイオンミリングによりエッチングし、下部電極23及び強誘電体層28を形成した。これにより、下部電極23、強誘電体層28、上部電極27及びコンタクトホール39を有する強誘電体容量素子29が形成された。この後、強誘電体容量素子29を被覆するTi膜40をスパッタ法により50nm成膜した(図20参照)。

【0060】(3) 次に、600℃の熱酸化処理によりPtとTiの合金層を下部電極23及び上部電極27がTiと接した界面に形成した。そして、この熱酸化処理で形成された合金層以外のTi酸化膜層はRIEによる選択エッチングで多少SiO<sub>2</sub>膜22がオーバーエッチングされるまでエッチングし、合金からなる第1接着層41a, 41bを形成した(図21参照)。なお、図21中の符番43はオーバーエッチ部である。つづいて、全面にSiO<sub>2</sub>をCVD法により500nm成膜し、誘電体層30を形成した(図22参照)。

【0061】(4) 次に、フォトリソストをコンタクトホール39内の第1接着層41a上の誘電体層30と第2接着層41b上の誘電体層30にコンタクトホールを形成するためのパターニングを行い、RIEにより誘電体層30をエッチングし、コンタクトホール42a, 42bを形成した(図23参照)。つづいて、Al:500nmをスパッタ法により積層成膜した後、フォトリソストを所望の配線形状にパターニングし、りん酸を主成分とするウェットエ



ッシングによりエッチングし、配線電極33、配線電極34を形成した(図24参照)。

【0062】上記実施例3によれば、第1接着層41a、第2接着層41bの存在により、実施例1と同様に、下部電極23、上部電極27と誘電体層30界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に接着が強化され、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0063】以上、実施例に基づいて説明してきたが、本明細書には以下の発明が含まれる。1. 下部電極及び上部電極を備えた強誘電体容量素子を内蔵した半導体装置において、前記下部電極及び上部電極上に夫々接着層を設けたことを特徴とする半導体装置。

【0064】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図1～図5の実施の形態が対応する。

(作用) Ptからなる上部、下部電極と誘電体層界面に設けた接着層がウェット処理や、衝撃、外傷を受けた場合でも、誘電体層を上部、下部電極上に維持する。

【0065】(効果) Ptの様な表面に酸化膜が形成されにくい材料を電極として用い、上部に誘電体層を形成する場合に、誘電体層形成後の配線工程のウェット処理で該Pt電極と該誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを第1接着層及び第2接着層が防止し、上部、下部電極と誘電体層界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に強化されたことにより、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0066】2. 基板上に形成された下部電極と、該下部電極を被覆する誘電体で形成された第1接着層と、該第1接着層上に設けたコンタクトホールを被覆するように設けた強誘電体層と、該強誘電体層上に積層された上部電極からなる強誘電体容量素子と、該強誘電体容量素子を覆うように誘電体で形成された第2接着層と、該第2接着層を含む前記強誘電体容量素子及び前記第1接着層とを被覆するように形成された誘電体層と、該誘電体層、前記第1接着層及び第2接着層にコンタクトホールをあけて前記下部電極及び上部電極と接する配線電極とを備えたことを特徴とする上記1. 記載の半導体装置。

【0067】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図1の実施の形態が対応する。

(作用) Ptからなる上部、下部電極と誘電体層界面に設けた接着層がウェット処理や、衝撃、外傷を受けた場合でも、誘電体層を上部、下部電極上に維持する。また、下部電極上の接着層は強誘電体層形成時のエッチングでオーバーエッチングが可能である。

【0068】(効果) Ptの様な表面に酸化膜が形成されにくい材料を電極として用い、上部に誘電体層を形

成する場合に、誘電体層形成後の配線工程のウェット処理で上部、下部電極と誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを第1接着層及び第2接着層が防止し、上部、下部電極と誘電体層界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に強化されたことにより、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。

【0069】更に、下部電極上の第1接着層の表面もしくは全てを酸化処理により誘電体を形成することで、第2接着層が導電体かもしくは不十分な酸化により表面のみが誘電体を形成していても、強誘電体容量素子のリークや短絡が発生しない。そして、強誘電体層のエッチングの際には、第1接着層が犠牲層となり、オーバーエッチングが可能で、非選択エッチングを行った場合でも下部電極の成膜時の膜維持が可能となる。

【0070】3. 基板上に形成された下部電極と、該下部電極を被覆する導電体で形成された第1接着層7と、該第1接着層に設けたコンタクトホールを被覆するように設けた強誘電体層と、該強誘電体層上に積層された上部電極からなる強誘電体容量素子と、該強誘電体容量素子の前記上部電極上に導電体で形成された第2接着層と、該第2接着層を含む前記強誘電体容量素子及び前記第1接着層とを被覆するように基板上に形成された誘電体層と、前記第1、第2接着層上の前記誘電体層にコンタクトホールをあけて前記下部電極及び上部電極と接する配線電極とを備えたことを特徴とする前記1. 記載の半導体装置。

【0071】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図2の実施の形態が対応する。

(作用) 接着層が導電性の材料を使用しているので配線電極と導通する。これ以外は上記2. と同様である。

【0072】(効果) Ptの様な表面に酸化膜が形成されにくい材料を電極として用い、上部に誘電体層を形成する場合に、誘電体層形成後の配線工程のウェット処理で上部、下部電極と誘電体層の界面にエッチャント、洗浄液、現像液等の溶媒が侵入するのを第1接着層及び第2接着層が防止し、上部、下部電極と誘電体層界面からの剥離を防ぐことができる。また、衝撃や外傷を受けた場合も同様に強化されたことにより、この界面での剥離が防止され、強誘電体容量素子の特性維持と保護を行うことができる。そして、強誘電体層のエッチングの際には、第1接着層が犠牲層となるオーバーエッチングが可能で、非選択的エッチングを行った場合でも下部電極の成膜時の膜厚維持が可能となる。

【0073】更に、下部電極上の第1接着層、上部電極上の第2接着層は導電体を用いることが可能で、配線電極としてAlを用いた場合、配線後のシンター処理等のアニールで発生する上部、下部電極とAlの反応を、第

1、第2接着層が防止することができ、強誘電体容量素子の特性維持が可能になる。

【0074】4. 基板上に形成された下部電極上に強誘電体層が積層され、該強誘電体層上に上部電極を積層し形成した強誘電体容量素子において、該強誘電体容量素子を被覆する誘電体層との間に、前記下部電極上を被覆する第1接着層及び前記上部電極上を被覆する第2接着層を有し、前記第1接着層上及び第2接着層上の前記誘電体層にコンタクトホールを有し、該コンタクトホール内に前記第1接着層及び第2接着層と接する配線電極を有することを特徴とする前記1. 記載の強誘電体容量素子。(対応する発明の実施の形態) 本発明に関する実施の形態としては、図3の実施の形態が対応する。

【0075】(作用) 上記3. と同様である。

(効果) 第1、第2接着層は強誘電体容量素子形成後に同一の工程で形成できる。これ以外は、上記3. と同様である。

【0076】5. 基板上に形成された下部電極、該下部電極上に積層された強誘電体層及び該強誘電体層上に形成された側面に傾斜を有した上部電極からなる強誘電体容量素子と、この強誘電体容量素子と該強誘電体容量素子を被覆する誘電体層との間に設けられた、前記上部電極と非接触な第1接着層と、前記上部電極と前記誘電体層との間に設けられた第2接着層と、前記第1接着層上及び前記第2接着層上の前記誘電体層に夫々設けられたコンタクトホールと、このコンタクトホール内に設けられ、前記第1接着層及び第2接着層に夫々接続する配線電極とを具備することを特徴とする前記1. 記載の半導体装置。

【0077】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図4の実施の形態が対応する。

(作用) 上記3. と同様である。

【0078】(効果) 上部電極の側面が傾斜を持つため、上部電極の側面にも導電体の接着層を形成することが可能である。6. 基板上に形成された下部電極上に強誘電体層が積層され、該強誘電体層上に上部電極を積層し形成した強誘電体容量素子において、該強誘電体容量素子を被覆する誘電体層との間に、前記下部電極及び前記上部電極上に前記下部電極及び前記上部電極に用いた電極材料と他の導電性材料との合金で形成した合金からなる第1接着層、第2接着層を有し、該第1接着層、第2接着層上の誘電体層にコンタクトホールを有し、該コンタクトホール内に前記第1接着層(及び第2接着層と接する配線電極)を有することを特徴とする前記1. 記載の強誘電体容量素子。

【0079】(対応する発明の実施の形態) 本発明に関する実施の形態としては、図5の実施の形態が対応する。

(作用) 上記3. と同様である。

(効果) 上部、下部電極とPt以外の導電性材料との反応で形成した合金層を接着層として用いることができる。これ以外は上記4. と同様の効果である。

【0080】

【発明の効果】以上詳述したように本発明によれば、強誘電体容量素子の下部電極、上部電極の夫々の上に接着層を設けることにより、下部電極、上部電極の配線工程の前後で発生する剥離を接着層により防止しえる半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の断面図。

【図2】本発明の第2の実施の形態に係る半導体装置の断面図。

【図3】本発明の第3の実施の形態に係る半導体装置の断面図。

【図4】本発明の第4の実施の形態に係る半導体装置の断面図。

【図5】本発明の第5の実施の形態に係る半導体装置の断面図。

【図6】従来に係る半導体装置の断面図。

【図7】その他の従来に係る半導体装置の断面図。

【図8】本発明の実施例1に係る半導体装置の製造方法における一工程図で、基板全面にTi膜を形成した状態の説明図。

【図9】本発明の実施例1に係る半導体装置の製造方法における一工程図で、下部電極上の接着層とコンタクトホールを形成した状態の説明図。

【図10】本発明の実施例1に係る半導体装置の製造方法における一工程図で、強誘電体容量素子と基板全面に誘電体層を形成した状態の説明図。

【図11】本発明の実施例1に係る半導体装置の製造方法における一工程図で、基板全面に誘電体層を形成し第1、第2接着層及び誘電体層にコンタクトホールを形成した状態の説明図。

【図12】本発明の実施例1に係る半導体装置の製造方法における一工程図で、電極配線を形成した状態の説明図。

【図13】本発明の実施例2に係る半導体装置の製造方法における一工程図で、下部電極となるPt層、強誘電体層となるPZT、上部電極となるPt層を形成した状態の説明図。

【図14】本発明の実施例2に係る半導体装置の製造方法における一工程図で、強誘電体容量素子を形成後、接着層となるTi膜を形成した状態の説明図。

【図15】本発明の実施例2に係る半導体装置の製造方法における一工程図で、Ti膜をパターンニングして第1、第2接着層を形成した状態の説明図。

【図16】本発明の実施例2に係る半導体装置の製造方法における一工程図で、基板全面に誘電体層を形成した

状態の説明図。

【図17】本発明の実施例2に係る半導体装置の製造方法における一工程図で、基板全面に形成した誘電体層にコンタクトホールを形成した状態の説明図。

【図18】本発明の実施例2に係る半導体装置の製造方法における一工程図で、電極配線を形成した状態の説明図。

【図19】本発明の実施例3に係る半導体装置の製造方法における一工程図で、下部電極となるP<sub>t</sub>層、強誘電体層となるPZT、上部電極となるP<sub>t</sub>層を形成した状態の説明図。

【図20】本発明の実施例3に係る半導体装置の製造方法における一工程図で、強誘電体容量素子を形成後、接着層となるTi膜を形成した状態の説明図。

【図21】本発明の実施例3に係る半導体装置の製造方法における一工程図で、Ti膜をパターンニング、熱処理後に第1、第2接着層を形成した状態の説明図。

【図22】本発明の実施例3に係る半導体装置の製造方法における一工程図で、基板全面に誘電体層を形成した状態の説明図。

【図23】本発明の実施例3に係る半導体装置の製造方法における一工程図で、基板全面に形成した誘電体層に

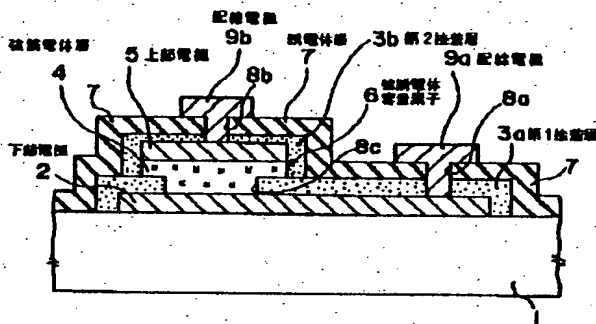
コンタクトホールを形成した状態の説明図。

【図24】本発明の実施例3に係る半導体装置の製造方法における一工程図で、電極配線を形成した状態の説明図。

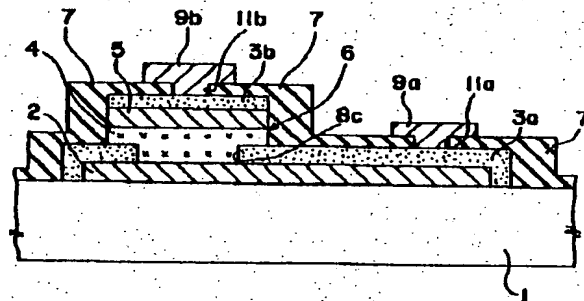
【符号の説明】

- 1, 21…基板、
- 2, 23…下部電極、
- 3a, 3b, 12a, 12b, 26a, 26b, 41a, 41b…接着層、
- 4, 28…強誘電体層、
- 5, 27…上部電極、
- 6, 29…強誘電体容量素子、
- 7, 30…誘電体層、
- 8a, 8b, 8c, 11a, 11b, 25a, 25b, 25c, 3
- 9, 42a, 42b…コンタクトホール、
- 9a, 9b, 34, 35…配線電極、
- 22…SiO<sub>2</sub>膜、
- 24, 40…Ti膜、
- 31…再び酸化した層、
- 32a, 32b…Ti層、
- 33a, 33b, 36, 38…P<sub>t</sub>層、
- 37…PZT層。

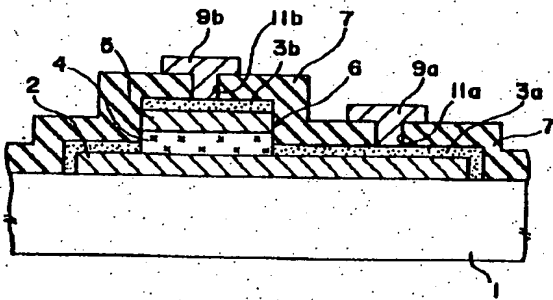
【図1】



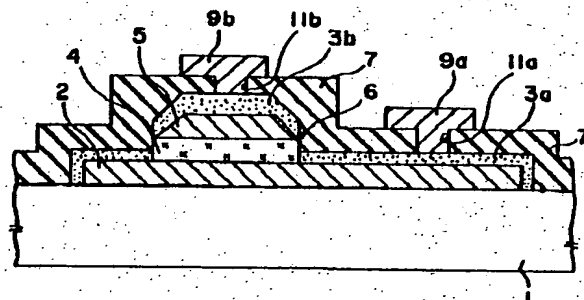
【図2】



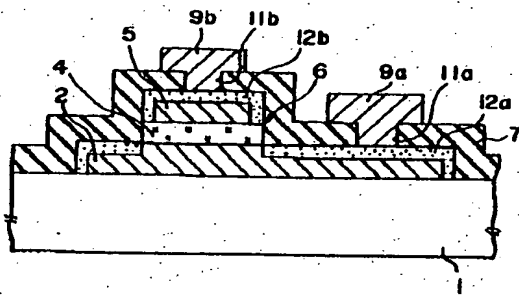
【図3】



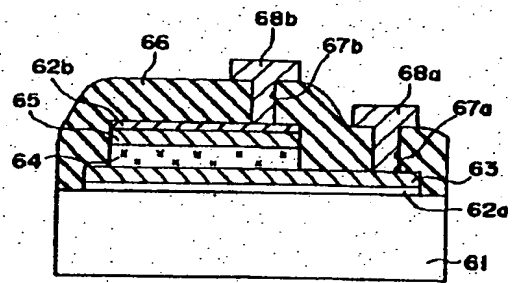
【図4】



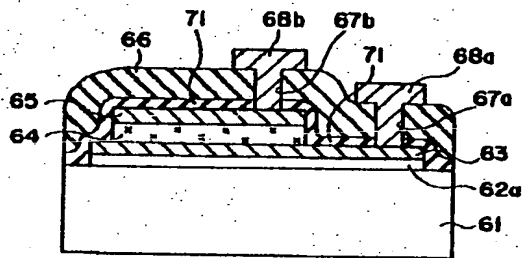
【図5】



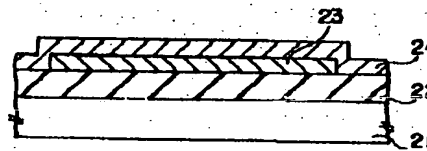
【図6】



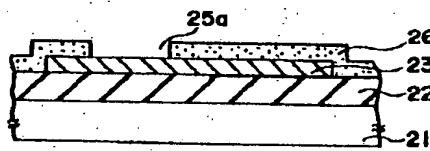
【図7】



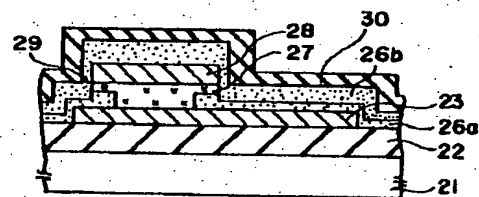
【図8】



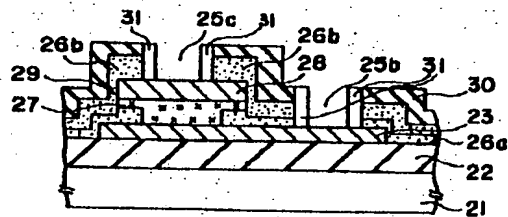
【図9】



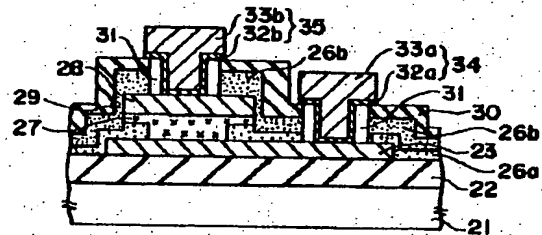
【図10】



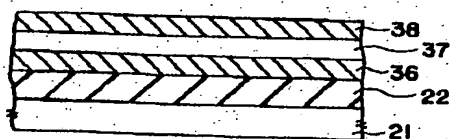
【図11】



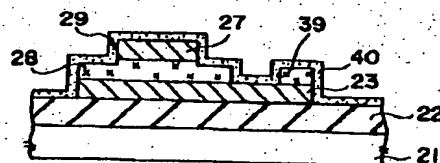
【図12】



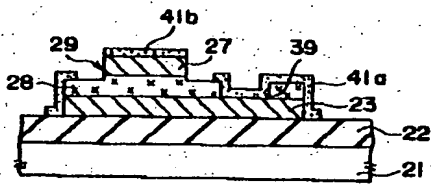
【図13】



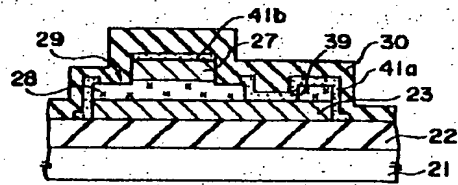
【図14】



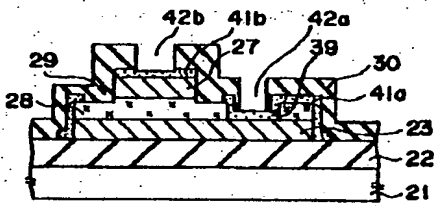
【図15】



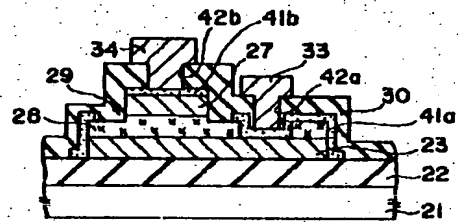
【図16】



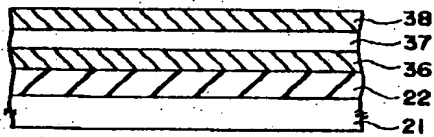
【図17】



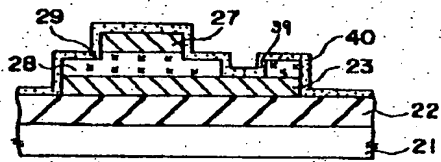
【図18】



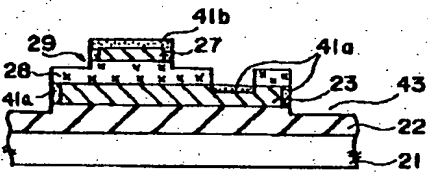
【図19】



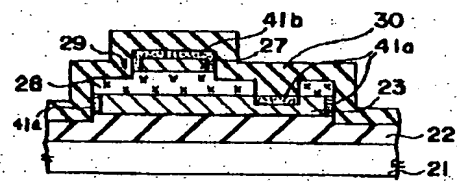
【図20】



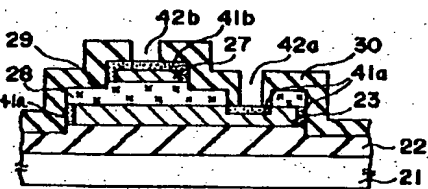
【図21】



【図22】



【図23】



【図24】

